

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009713730 **Image available**
WPI Acc No: 1993-407283/199351
XRPX Acc No: N93-315250

**Semiconductor device driver for heater in ink-jet or thermal print head -
includes MOS transistor with buried drain and high resistance region
between drain and channel surrounding source electrode**

Patent Assignee: CANON KK (CANO)
Inventor: FUJITA K; ICHISE T; KAIZU S; KAMEI S; NAKAMURA H
Number of Countries: 005 Number of Patents: 007
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 574911	A2	19931222	EP 93109690	A	19930617	199351 B
JP 6069497	A	19940311	JP 93130289	A	19930601	199415
EP 574911	A3	19940330	EP 93109690	A	19930617	199521
US 5517224	A	19960514	US 9377382	A	19930617	199625
EP 574911	B1	19990303	EP 93109690	A	19930617	199913
DE 69323655	E	19990408	DE 623655	A	19930617	199920
			EP 93109690	A	19930617	
JP 3305415	B2	20020722	JP 93130289	A	19930601	200254

Priority Applications (No Type Date): JP 93130289 A 19930601; JP 92159748 A
19920618

Cited Patents: No-SR.Pub; 2.Jnl.Ref; EP 378439; EP 440459; EP 469370; JP
63202971

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 574911	A2	E	36	H01L-029/784	
Designated States (Regional): DE FR GB					
JP 6069497	A			H01L-029/784	
EP 574911	A3			H01L-029/784	
US 5517224	A		32	B41J-002/05	
EP 574911	B1	E		H01L-029/772	
Designated States (Regional): DE FR GB					
DE 69323655	E			H01L-029/772	Based on patent EP 574911
JP 3305415	B2		17	H01L-029/78	Previous Publ. patent JP 6069497

Abstract (Basic): EP 574911 A

The device includes a number of MOS transistors, forming a switching circuit. Each transistor includes a drain electrode with a high resistance region in contact with an opposite conductivity channel region. A source electrode is formed in the opposite conductivity region. A gate electrode is located on a gate insulating film between the two electrodes.

An n-type buried layer (201), formed on a silicon substrate (200), is beneath a p-type epitaxial layer (202). A contact layer (205) connecting to an n-type drain (204) is formed around an n-type epitaxial layer (203) on the edge of the buried layer. A p-layer (206) channel contains a p-type layer (207) and n-type sources (208, 209) on both sides of the p-type layer.

USE/ADVANTAGE - In e.g copier, facsimile. Short circuited junction element isolation structure to prevent latch-up; reduced electric field strength, due to increased junction depth and wider depletion layer for increased voltage resistance.

Dwg.4/26

Abstract (Equivalent): US 5517224 A

A semiconductor device comprising:
a plurality of transistors, wherein each transistor comprises:
a first semiconductor region of a first conduction type, including

a first main electrode region;

a second semiconductor region of a second conduction type, including a channel region, said second semiconductor region being disposed in said first semiconductor region and in contact therewith, said channel region being in contact with a portion of said first main electrode region;

a second main electrode region of the first conducting type disposed in said second semiconductor region and in contact with said channel region;

a gate insulating film disposed on said channel region;

a gate electrode disposed on said gate insulating film and in alignment with said channel region; wherein

said portion of said first main electrode region which contacts said channel region is a high-resistance region.

Dwg.10/26

Title Terms: SEMICONDUCTOR; DEVICE; DRIVE; HEATER; INK; JET; THERMAL; PRINT
; HEAD; MOS; TRANSISTOR; BURY; DRAIN; HIGH; RESISTANCE; REGION; DRAIN;
CHANNEL; SURROUND; SOURCE; ELECTRODE

Index Terms/Additional Words: copier; facsimile

Derwent Class: P75; S06; T04; U13; W02

International Patent Class (Main): H01L-029/772; H01L-029/78; H01L-029/784

International Patent Class (Additional): B41J-002/05; B41J-002/16;

B41J-002/37; H01L-021/76; H01L-021/8249; H01L-027/06; H03K-017/693

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): S06-A16B; T04-G02A; T04-G03C; U13-D03A; W02-J02B1;
W02-J02B3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-69497

(43) 公開日 平成6年(1994)3月11日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
B 4 1 J 2/37				
H 0 3 K 17/693		D 8221-5 J		
		7377-4M		
			H 0 1 L 29/78	3 0 1 D
			B 4 1 J 3/20	1 1 5 B

審査請求 未請求 請求項の数23(全 17 頁) 最終頁に続く

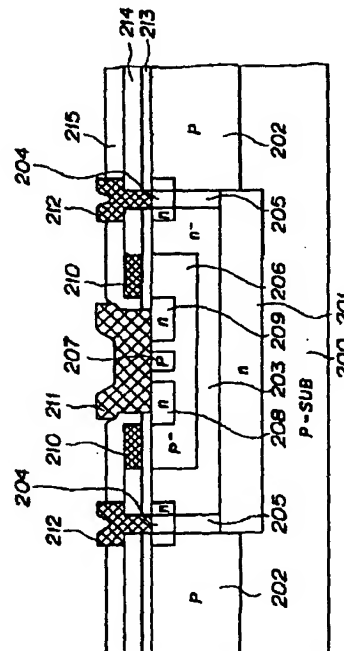
(21) 出願番号	特願平5-130289	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成5年(1993)6月1日	(72) 発明者	海津 俊一 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(31) 優先権主張番号	特願平4-159748	(72) 発明者	一瀬 敏彦 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(32) 優先日	平4(1992)6月18日	(72) 発明者	藤田 桂 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 谷 義一 (外1名) 最終頁に続く

(54) 【発明の名称】 発熱体駆動用半導体装置

(57) 【要約】

【目的】 ソースドレイン間の電界強度が弱く、耐圧が高い発熱体駆動用半導体装置を提供することを目的とする。

【構成】 基板200の上の一部にはN埋込み層201が形成され、このN埋込み層201の周辺部にはPエピタキシャル層202が形成されている。N埋込み層201の上部にはNエピ層203が形成され、このNエピ層203の周辺部であってN埋込み層201の周縁部の上部にはN型ドレイン204と接触するコンタクト層205が形成されている。Nエピ層203の上部にはP⁻層206が形成されている。このP⁻層206は、P型ゲート207と、そのP型ゲート207の両側に形成されたN型ソース208およびN型ドレイン209とを含む。



【特許請求の範囲】

【請求項1】 第1の主電極領域を含む第1導電型の第1の半導体領域内に設けられたチャネル領域を含む第2導電型の第2の半導体領域と、該第2の半導体領域内に設けられた第2の主電極領域と、該第1および第2の主電極領域間にある前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、を有し、前記第1の主電極領域における前記チャネル領域と接する側の部分が高抵抗領域であるトランジスタを具備することを特徴とする半導体装置。

【請求項2】 前記第2の主電極領域が電気熱変換体に接続していることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記トランジスタはN個を1グループとするN×M個設けられており、各グループ毎にゲートが共通化されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記トランジスタはN個を1グループとするN×M個設けられ、各トランジスタ毎に電気熱変換体が接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記第1の主電極領域はドレインであり、前記第2の主電極領域はソースであることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記第1の半導体領域は埋込み層と該埋込み層の上に設けられた前記高抵抗領域と該高抵抗領域に隣接する低抵抗領域とからなることを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記第2の主電極領域は前記第2の半導体領域内に複数設けられており、互いに共通の電極に接していることを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記第2の主電極領域は前記共通の電極によって前記第2の半導体領域と接続されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 さらに、素子分離領域を有することを特徴とする請求項1に記載の半導体装置。

【請求項10】 前記素子分離領域はP型の半導体からなる第1の分離領域内にN型の半導体からなる第2の分離領域を含み、それらの分離領域が短絡されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記素子分離領域は凹部内に埋込まれた絶縁部を含むことを特徴とする請求項9に記載の半導体装置。

【請求項12】 前記素子分離領域は前記絶縁物を埋め込む工程として、前記開孔部の底面および側面を前記絶縁物により被覆する第1段階と、該第1段階終了後に前記開孔部内に前記絶縁物を埋め込む第2段階とに分けて行うことにより形成されたものであることを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記2段階に分けて埋め込む絶縁物の種類は、第1段階と第2段階とは異なることを特徴とする請求項12に記載の半導体装置。

【請求項14】 前記絶縁物埋め込み工程後の前記絶縁物を前記半導体基体の表面と同じ高さまで除去することを特徴とする請求項13に記載の半導体装置。

【請求項15】 半導体基体の表面は平坦化されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項16】 前記電気熱変換体の電極を形成する工程として、前記配線電極となる金属層上に設けたフォトレジストに対する露光を、前記フォトレジストと該フォトレジスト上に配される前記配線電極パターンの形状を有するフォトマスクとの間隔を40-100 μ mとする第1段階と、前記フォトレジストと前記フォトマスクとの間隔を0-14 μ mとする第2段階とに分けて行うことを特徴とする請求項2に記載の半導体装置。

【請求項17】 前記露光工程後の前記フォトレジストを現像する現像工程と、該現像工程を経た前記フォトレジストをマスクとして前記金属層をエッチングする際に、アルカリ性溶液により前記フォトレジストの少なくとも端部を縮小させながら前記金属層をエッチングするエッチング工程とを含むことを特徴とする請求項2に記載の半導体装置。

【請求項18】 前記半導体装置はサーマルヘッドであることを特徴とする請求項2に記載の半導体装置。

【請求項19】 前記半導体装置はインクジェットヘッドを構成することを特徴とする請求項2に記載の半導体装置。

【請求項20】 請求項2に記載の半導体装置をヘッドとして用いたことを特徴とする画像形成装置。

【請求項21】 請求項2に記載の半導体装置を熱エネルギーを利用してインクを吐出させるヘッドとして有することを特徴とする画像形成装置。

【請求項22】 さらに、媒体を搬送する搬送手段を有することを特徴とする請求項20に記載の半導体装置。

【請求項23】 さらに、前記ヘッドを媒体に対向して配置する手段を有することを特徴とする請求項20に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複写機やファクシミリ等のプリンタに搭載されるインクジェットヘッド、サーマルヘッドに用いられる発熱体駆動用半導体装置に関するものである。

【0002】

【従来の技術】 サーマルヘッドには薄膜抵抗体または厚膜抵抗体からなる発熱体が設けられている。

【0003】 一方、優れた画像再生を行えるインクジェットヘッドとしては熱エネルギーを利用してインクを吐出するヘッドがある。このヘッドにも薄膜抵抗体等の発

3

熱体が設けられている。

【0004】そして、この発熱体の駆動のために半導体装置が用いられている。

【0005】このような半導体装置としては米国特許第4,429,321号明細書、ヨーロッパ特許公開第0,378,439号公報、ヨーロッパ特許公開第0,440,459号公報に記載されたものが知られている。

【0006】従来より、例えば64ビットのインクジェットヘッドを駆動するためのマトリクス回路としては、図1に示すような構成のものが知られている。図1におけるマトリクス回路は、64個のダイオード11, 12...18, 81, 82...88を含むダイオードスイッチ回路をコモン側で8ブロックに、セグメント側で8ブロックに、それぞれ分けて構成されている。コモン側の各ブロックには8個のスイッチCom1...Com8がそれぞれ設けられ、セグメント側には8個のスイッチSeg1, Seg2...Seg8が設けられている。このようなマトリクス回路は通常バイポーラプロセスによってシリコン基板SUB上に設けられる。

【0007】しかしながら、このようなマトリクス回路ではPNタイプのダイオードスイッチをシリコン基板上に配置すると、コモン間またはセグメント間の誤動作を生じる不都合があるため、用いられるダイオードの構成としてはNPNトランジスタをコレクタ・ベースショートして構成する必要がある。この場合にはさらに次のような解決すべき課題がある。すなわち、(1)バイポーラプロセスを使用するため工程が難しい、(2)ダイオードスイッチ1個に大電流(200mA)を流し、かつセグメント側の8個の外部スイッチを同時にONする場合、1ブロックのコモンの外部スイッチには1.6mA程度の電流が流れるので、外部スイッチの構成が複雑になる点である。

【0008】上記2つの欠点を解決するために、図2に示すように、図1に示したダイオードスイッチ回路に替えてNPNトランジスタスイッチ回路を用いて構成されたものが提案されている。しかし、この場合には次のような制約がある。この制約について、図2に示したマトリクス回路から1ビット分の等価回路を取り出して示す図3を参照しながら説明する。

【0009】図3中の電流Iを200mAとし、トランジスタTr11の順方向電流増幅率 β を100とすると、

【0010】

【数1】 $I = I_c + I_b$

【0011】

【数2】 $I_c = \beta I_b$

ここで、寄生PNPトランジスタがONしない条件を考えると、図3中の(A)点の電位は $V^* - I_c \times r_{sc}$ 、

(B)点の電位は $V^* - I_b \times r_s$ であり、理想的に寄

4

生PNPトランジスタの V_{BE} は

【0012】

【数3】 $V_{BE} = I_c \times r_{sc} - I_b \times r_s \leq 0$

であればよい。このためには $I_c \times r_{sc} < I_b \times r_s$ という関係が必要である。この関係を満たすためには、NPNトランジスタの特性としてコレクタ電流 I_c による電圧降下を小さくする必要があり、さらにコレクタシリーズ抵抗 r_{sc} を小さく、トランジスタTr11の順方向電流増幅率 β を小さくする必要もある。

10 【0013】図2に示したNPNトランジスタスイッチ回路を用いたマトリクス回路では、図1に示したダイオードスイッチ回路の場合と比べてコモン1の外部スイッチに流れる電流が改善されるが、やはりトランジスタの特性上の制約により、コモン1の外部スイッチ(Com1)に流れるベース電流 I_b はある程度大きくなることから、コモン側外部スイッチの構成を複雑しなければならないという点が依然として残ってしまう。

【0014】そこで、本発明者らは図2および図3に示したNPNトランジスタスイッチをnMOSトランジスタスイッチに置換することを考えた。コモン側スイッチではnMOSトランジスタスイッチを制御するだけであるからコモン側スイッチの構成を簡素にすることができる。しかし、この場合には、 V^* が30V-40Vであるため、従来のトランジスタとして知られている構造のnMOSではソースドレイン間の電界強度が高くなり、ホットキャリアが発生し、このホットキャリアがゲート酸化膜に入るため、nMOSトランジスタのしきい値(V_{th})や相互コンダクタンス(G_m)が変化することがある。また、N型ドレインとPウェルとによるPN接合は逆バイアスされており、なだれ降伏を起こすということもある。

【0015】従来の半導体集積回路内における素子分離構造としては、図13に示すようにPN接合の逆バイアスを用いて構成されたものがある。図13において、符号101はP型基板であり、102および103はそれぞれ半導体素子が形成されるべきN⁻領域であり、104は配線金属であり、105はエミッタとなるべきN⁺領域であり、106はベースとなるべきP型領域であり、107はコレクタとなるべきN⁺領域である。

40 【0016】しかしながら、図13に示した素子分離構造では、例えば飽和動作するNPNトランジスタが隣接したような場合に、集積回路の最低電位がノイズ等によって持ち上がったとき、ラッチアップを引き起こし易いという欠点があり、最悪の場合には素子の破壊に至る可能性もある。

【0017】また、図14は図13に示した素子分離構造に形成される寄生トランジスタの等価回路を示す回路図であるが、N⁻エピ領域102および103のトランジスタが飽和し、基板101にPN接合を順方向ならしめるようなノイズが入ると、寄生のNPNが動作し、こ

れによって寄生のPNPが動作し、この状態は正帰還であるため、ノイズが消滅した後も電流が流れ続けてしまう不都合が生じる。

【0018】従来より、図18に示す半導体集積回路内における他の素子分離方法も知られている。図18の(a)に示すように、まず半導体基体121上に絶縁膜122を熱酸化法により形成する。次に、図18の(b)に示すように、絶縁膜122の上に異なる種類の絶縁材料からなる絶縁膜123をLPCVD法により堆積する。次いで、図18の(c)に示すように、絶縁膜122および123のうち、素子分離領域とする部分をパターニングにより取り除いて開孔部124を形成する。この開孔部124を有する半導体基体121を熱酸化法により高温、長時間処理することによって、図18の(d)に示す酸化膜からなる素子分離領域125を形成する。この素子分離領域125は絶縁膜122および123により被覆されているので、その酸化は進行しない。

【0019】しかしながら、図18に示した熱酸化法による従来の素子分離方法は半導体基体121上に酸化膜を成長させる際に酸化がその絶縁膜の下側にまで進行してしまうため、図18の(d)に示すように、素子分離領域125の両端が盛り上り、いわゆるバズピーク126および127が形成される。これらバズピーク126および127の部分と絶縁膜122および123との膜応力により、半導体基体121に結晶欠陥を生じさせ易く、このため素子の電気的特性に重大な影響を与える虞がある。

【0020】また、素子寸法を縮小する場合でもバズピーク126および127の長さを縮小させない限り、半導体基体から得られる素子数を増やすことができず、上記の半導体基体の結晶欠陥との関係で素子の製造歩留りを悪化させてしまう欠点を有している。

【0021】さらに、熱酸化法により素子分離領域を形成するため、半導体基体の表面上にも酸化膜を成長させてしまうことから、半導体基体の表面に激しい凹凸を生じさせてしまうことになり、多層配線を形成する場合には表面上の凹凸により断線が発生し易いという欠点もある。

【0022】このような現象は、特にゲート長が $1\mu\text{m}$ 以下の高集積化された半導体装置では歩留りを一層低下させる原因となる。

【0023】発熱体の配線や電極は、例えばアルミニウムの微細加工技術により形成される。このアルミニウムの微細加工技術としては、集積度の高度な微細加工の場合には加工精度の点でガスプラズマを用いたドライエッチングが用いられ、比較的集積度が高いかあるいは集積度の低い場合には加工装置の簡便さや低コストの点で化学溶液によるウェットエッチングが用いられる。

【0024】図21は、アルミニウムの微細加工技術を

用いた従来の配線電極の形成方法を示す縦断面図である。

【0025】まず、図21の(a)に示すように、例えば Si 、 SiO_2 などからなる基板130の表面全面に配線電極材料としてのA1層131を形成した後、このA1層131の表面全面にマスク用フォトリソ膜132を塗布し、さらにガラスフォトマスク133をフォトリソ膜132側に近付け、フォトリソ膜132のうち配線電極パターン以外の領域を露光する。次に、上記基板130からガラスフォトマスク133を除去した後、アルカリ溶液により現像することによって図21の(b)に示すようにフォトリソ膜132に配線電極パターンを転写する。次いで、上記基板130のA1層131をA1エッチング用溶液によりエッチングする。これにより、図21の(c)に示すようにフォトリソ膜132により覆われた配線電極パターンのA1層131のみを残す。ここで、A1エッチング溶液としては一般的なエッチング溶液、例えば H_3PO_4 、 HNO_3 、 CH_3COOH の混合溶液が用いられる。このA1エッチング溶液を摂氏45度に昇温した場合、A1層131のエッチングレートは毎分4500-5000オングストローム程度であり、ベークされたフォトリソ膜132のエッチングレートはほぼ零に近い。

【0026】最後に、図21の(d)に示すように、残されたフォトリソ膜132を基板130から除去する。この除去後のA1層131のエッジ部分は基板130の表面に対してほぼ直交する面を有している。このエッジ部分の直交面は、機能デバイス装置が集積化の傾向と共に多層化も重要視されてきている近年の環境の中で、以下のような問題を生じさせる。

【0027】(1)例えば、図22に示すように、高電気抵抗発熱体に電流を流すことによって発熱体に熱エネルギーを発生させるような電気熱変換体の場合を考える。図22において、140は基板であり、141は発熱抵抗層であり、142は発熱抵抗層141に形成された発熱部であり、143はA1の配線電極であり、144は配線電極143のエッジ部である。配線電極143から発熱部142への電流の流れは、図8に示すように、エッジ部144の下方、すなわち発熱部142側に集中する。実験結果を挙げて説明すると、エッジ部144の下方における電流密度は $8.2 \times 10^7 \text{ A/cm}^2$ に達し、配線電極143内の電流密度 $1.7 \times 10^6 \text{ A/cm}^2$ および発熱抵抗層141の発熱部142における電流密度 $1.03 \times 10^7 \text{ A/cm}^2$ と比較して異常に大きな値となる。その結果、エッジ部144の下方における電流密度の集中が発熱抵抗層141の一部切断を招き、電気熱変換デバイスの寿命を決定してしまう恐れを有している。

【0028】(2)例えば、図23に示すように、基板150上にA1からなる第1配線電極151を帯状に形

7

成し、第1配線電極151の上に保護膜152を形成し、その上に第1配線電極151の長さ方向と交差する第2配線電極153を形成したデバイスの場合を考える。この場合、第1配線電極151のエッジ部154において、保護膜152のステップカバレッジが悪化し、これにより第1配線電極151と第2配線電極153との電氣的絶縁性が損なわれてしまう恐れを有している。

【0029】

【発明が解決しようとする課題】本発明の目的は、信頼性が高い発熱体駆動用の半導体装置を提供することにある。

【0030】本発明の別の目的は、ソース・ドレイン間の電界強度が弱められ、耐圧性に優れた半導体装置を提供することにある。

【0031】また、本発明の他の目的は、ラッチアップを防止すべく、素子分離領域をPNPのサンドイッチ構造とし、これにより形成されるPN接合を短絡した素子分離構造を有する半導体装置を提供することにある。

【0032】さらに、本発明のさらに他の目的は、製造歩留りを向上させるべく、高集積化に対応可能な埋込型の誘電体分離による素子分離領域を有する半導体装置を提供することにある。

【0033】またさらに、本発明のさらに他の目的は、耐久性に優れた高信頼性を図ることのできる半導体デバイスの製造方法を提供することにある。

【0034】

【課題を解決するための手段】上記目的を達成するための半導体装置は、第1の主電極領域を含む第1導電型の第1の半導体領域内に設けられたチャネル領域を含む第2導電型の第2の半導体領域と、該第2の半導体領域内に設けられた第2の主電極領域と、該第1および第2の主電極領域間にある前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、を有し、前記第1の主電極領域における前記チャネル領域と接する側の部分が高抵抗領域であるトランジスタを具備することを特徴とする半導体装置である。

【0035】さらには、該半導体装置の素子分離構造や電極の形状を適宜改善することにより優れた半導体装置を提供できる。

【0036】本発明の一実施態様による半導体装置はMOSトランジスタのドレインのような第1の主電極領域を含む第1導電型半導体の領域内に形成された反対導電型の第2半導体領域を有している。この領域の少なくとも一部はトランジスタのチャネルとなる。そしてチャネルと隣接する第1の主電極領域は高抵抗部分を有しており、この部分により耐圧を向上させている。

【0037】そして、ソースのような第2の主電極領域は該第2半導体領域内に形成されている。そして、該第2の主電極領域と該高抵抗部分との間のチャネルにはゲート絶縁膜を介してゲート電極が形成されている。

8

【0038】ゲート電極の両端部とチャネルの両端とは互いに整合している。

【0039】すなわち、本発明による半導体装置は、N型ソースの周辺部およびゲートの下部に設けられた第1導電型の高抵抗層と、該高抵抗層と第2導電型ドレインとの間および前記高抵抗層の下部に設けられた第2導電型エピタキシャル成長層と、該エピ層の下部に設けられた第2導電型の埋込み層と、該埋込み層に接しかつ前記ドレインに設けられたコンタクト層とを含むMOSトランジスタを有することを特徴とする。

【0040】そして、上記MOSトランジスタN個を1ブロックとし、少なくとも1ブロックが配され、該ブロック内の各MOSトランジスタのゲート同士およびドレイン同士が接続され、前記ブロック内の各ソースがヒータ抵抗の一端と接続され、前記ブロック内の各ゲートにコモン側スイッチが接続され、前記ブロックN個の各ゲートにセグメント側スイッチが接続され、各ソースが接地点に接続され、各ドレインが前記ヒータ抵抗の他端にマトリクス状に接続されることでマトリクススイッチング回路を構成することができる。さらに、上記MOSトランジスタと発熱抵抗体とが基板上に設けられた発熱デバイスを構成することができる。またさらに、この発熱デバイスと、インクを吐出する吐出口と、インクを収容する収容部とを組み合わせればインクジェット記録ヘッドを構成することができる。

【0041】そして、本発明においては素子分離構造として前記各MOSトランジスタ間のP型領域内に、素子の存在しないN⁺型素子分離領域が形成されて設けられたPNP構造中のPN接合を短絡する金属配線を形成構造とすることが望ましい。

【0042】また、素子分離領域の形成方法としてMOSトランジスタを誘電体分離するための素子分離領域を形成する方法において、前記半導体基体上に開孔部を形成する工程と、該開孔部内に絶縁物を埋め込み、前記素子分離領域を形成する工程を含む方法によって素子分離構造を形成することが望ましい。

【0043】ここで、前記絶縁物を埋め込む工程は、前記開孔部の底面および側面を前記絶縁物により被覆する第1段階と、該第1段階終了後に前記開孔部内に前記絶縁物を埋め込む第2段階とに分けて行うようにしてもよい。上記2段階に分けて埋め込む絶縁物の種類は第1段階と第2段階とは異なるようにしてもよい。上記絶縁物埋め込み工程後の前記絶縁物を前記半導体基体の表面と同じ高さまで除去する工程をさらに含むようにしてもよい。

【0044】なお、上記絶縁物の埋め込み工程後の半導体基体の表面を平坦化する工程を含むようにしてもよい。

【0045】そして発熱デバイスの製造方法としては、発熱体の配線電極を形成する工程として、前記配線電極となる金属層上に設けたフォトリソトに対する露光

9

を、前記フォトレジストと該フォトレジスト上に配される前記配線電極パターンの形状を有するフォトマスクとの間隔を $40-100\mu\text{m}$ とする第1の露光段階と、前記フォトレジストと前記フォトマスクとの間隔を $0-14\mu\text{m}$ とする第2の露光段階とに分けて行うことが好ましい。

【0046】ここで、上記露光工程後の前記フォトレジストを現像する現像工程と、該現像工程を経た前記フォトレジストをマスクとして前記金属層をエッチングする際に、アルカリ性溶液により前記フォトレジストの少なくとも端部を縮小させながら前記金属層をエッチングするエッチング工程とを含むようにしてもよい。上記金属層をアルミニウムとし、かつ上記アルカリ性溶液をテトラメチルアンモニウムハイドロオキシドを用いてもよい。

【0047】

【作用】本発明によれば、Nエピ層を設けることにより、ソースドレイン間距離を長くすることができるので、ソースドレイン間の電界強度が弱まり、このためホットキャリアの発生が減少する。従って、ゲート酸化膜に入るホットキャリアが減少することから、ホットキャリアにより従来生じていたnMOSトランジスタのしきい値(V_{th})や相互コンダクタンス(G_m)の変化を抑制をすることが可能となる。また、Nエピ層を設けることにより、従来、N型ドレインとP⁺層との間に形成されていたPN接合がNエピ層とP⁺層との間に形成されることになるので、接合の深さが大きくなり、端部での空乏層の広がりも従来よりも大きくなり、電界集中を緩和でき、耐圧を上げることが可能となる。

【0048】そして、各MOSトランジスタ間のP型領域内に、素子の存在しないN⁺型素子分離領域が形成されて設けられたPNP構造中のPN接合が金属配線により短絡されているので、寄生トランジスタが動作不可能な状態となるため、ラッチアップを防止することができる。

【0049】さらに、上述した従来の熱酸化法と異なり、絶縁膜の下部に酸化が進行することがないから、バズピークの発生を防止することができる。

【0050】一方、フォトマスクとフォトレジストとの間隔を広くとった第1回目の露光工程では、フォトマスクのパターンエッジ部の下方に回り込む回折光によりフォトマスクの透過パターンより広い領域を露光する。フォトマスクとフォトレジストとの間隔を零とするかあるいは狭くとった第2回目の露光工程では、フォトマスクのパターンエッジ部での回折の影響が少ないから、フォトマスクにより被覆されていない(全露光)領域と、フォトマスクにより被覆されているが、第1回目の露光を受けている(半露光)領域と、フォトマスクにより被覆され、一度も露光を受けていない(未露光)領域とをフォトレジストに形成することができる。これら3領域を

10

有するフォトレジストは現像されて、そのエッジ部の形状はテーパ状となる。このテーパ状のエッジ部を有するフォトレジストを用いて金属層をエッチングすると、金属層のエッジ部もテーパ状となる。このテーパ状のエッジ部を有する金属層を発熱抵抗体上に設けた発熱ヘッド等の電気熱変換デバイスでは、電流の流れが金属層のエッジ部の下方に集中することがないので、発熱抵抗体の一部切断を防止することができるから、電気熱変換デバイスの寿命を確実に延ばすことができる。

【0051】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。

【0052】図4は本発明の第一実施例に従うnMOSトランジスタの一例を示す縦断面図である。図4において、符号200は基板である。基板200はこの例において単結晶シリコンが用いられるが、これに限定されない。基板200の上の一部にはN型の埋込み層201が形成され、この埋込み層201の周辺部にはP型のエピタキシャル(以下、エピという)層202が形成されている。埋込み層201の上部にはN⁺型のエピ層203が形成され、このエピ層203の周辺部であって埋込み層201の周縁部の上部にはN型のドレイン204と接触するコンタクト層205が形成されている。エピ層203の上部にはチャネルとなるP⁺型の層206が形成されている。このP⁺層206は、P型層207と、そのP型層207の両側に形成されたN型ドレイン208およびN型ドレイン209とをその内部に含む。ここで、210は絶縁ゲート電極である。また、211はドレイン電極、212はソース電極、213、214、215は絶縁層である。

【0053】このような構成からなるnMOSトランジスタにあつては、低抵抗の埋込み層201、高抵抗のNエピ層203および低抵抗のコンタクト層205が設けられているので、Nエピ層203とP⁺層206との間のPN接合の深さが大きくなり、端部での空乏層の広がりも従来よりも大きくなり、電界集中を緩和でき、nMOSトランジスタの耐圧を上げることができる。

【0054】図5に、図4に示した上記nMOSトランジスタを用いて構成したスイッチング回路の例を示す。図5の(a)はN個のnMOSトランジスタのドレイン同士を並列に接続した場合のスイッチング回路を示しており、この場合、ソースドレイン間に電圧源より電圧 V^+ が印加されている。図5の(b)は同じくN個のnMOSトランジスタのソースS同士を並列に接続した場合のスイッチング回路を示しており、この場合ソースSは接地されている。ここで各nMOSトランジスタのソースドレイン間の耐圧は80V以上となる。また、各nMOSトランジスタのゲート210には電流がほとんど流れないため、nMOSトランジスタ制御のための電流もほぼ零となる。このため、N個のnMOSトランジスタ

タを同時に駆動しても消費電流は従来に比べて格段に小さくすることができる。

【0055】図5に示したnMOSスイッチング回路をマトリクス状に配置して例えば図6に示すようにインクジェット記録ヘッド駆動用のマトリクススイッチング回路を構成してもよい。図6において、電圧 V^* として30V-40V程度の電端を端子印加して動作させる。各nMOSトランジスタ11...18, 81...88のゲートには電流がほとんど流れないため、8個の外部のコモン側スイッチCom1...Com8を流れる電流もほぼ零で

あり、コモン側スイッチの構造を簡単にできる。
【0056】上述した構成を採用すれば、従来複数のチップによって実現していたマトリクススイッチング回路を、コモン側スイッチおよびセグメント側スイッチをも含めて同一チップ内に配置することが可能となり、マトリクススイッチング回路の1チップ化を図ることができる。

【0057】図7は、1チップ化された発熱体駆動用半導体装置の回路配置を示す模式的平面図である。

【0058】共通の基板200上には複数の発熱抵抗体からなる発熱体226と図4に示した断面構造をもつnMOSトランジスタからなる発熱体用スイッチング回路225と、nMOSトランジスタのブロック共通線229にゲート電圧を供給するためのスイッチCom1...Com8を含む共通線用スイッチング回路224と、発熱体226のセグメント線227を選択的に基準電位に保持するセグメント線用スイッチング回路223と、が一体的に設けられている。

【0059】また、ここで220はスイッチング回路223を制御する信号をライン232を介して供給する端子、221は発熱体226に電流を供給するための電圧 V^* を電源ライン231を介して供給する端子、222はnMOSトランジスタ11...18, 81...88のゲートのオンおよびオフに必要なゲート電圧をライン229を介して供給するためのスイッチング回路224を駆動するための信号をライン230を介して供給する端子である。

【0060】図8は図7に示したスイッチング回路223のより具体的な回路構成図である。

【0061】(a)は図4に示したのと同じMOSトランジスタを用いた場合であり、(b)はバイポーラトランジスタを用いた場合をそれぞれ示している。

【0062】CONT1は制御回路であり、画像情報に応じて各トランジスタのゲート(またはベース)に印加する信号を選択的に供給するものであり、シフトレジスタ、ラッチ回路、アンドゲート等を含むものである。図9は図7に示したスイッチング回路224のより具体的な回路構成図であり、(a)は図4に示したのと同じMOSトランジスタを用いた場合であり、(b)はバイポーラトランジスタを用いた場合をそれぞれ示してい

る。

【0063】SR2はシフトレジスタであり、発熱抵抗体 $R_{11} \dots R_{18}$, $R_{81} \dots R_{88}$ の8ブロックを時系列的に駆動するためにシフトパルスをトランジスタCom1, Com2...Com8に順次供給する。図10は図7に示した半導体装置の部分的な断面を示すものである。ちょうど図4に示したのと同じ構成のnMOSトランジスタと、発熱体226およびスイッチング回路224のバイポーラトランジスタと、が一体的に形成されていることがわかる。

【0064】nMOSトランジスタは、埋込み層301, nコンタクト層305, ドレイン304で囲まれた第1の半導体領域としての領域内に、高抵抗のN⁻層303, 第2の半導体領域としてのP⁻層306, 第2主電力領域としてのソース308, チャネルコンタクト307を含むように構成されており、その上部にドレイン電極312, ゲート電極310, ソース電極111が形成されている。

【0065】一方、スイッチング回路224としては図9の(b)に示した回路を採用した場合の構成例を示しており、埋込み層331, コンタクト層335, N層334, N⁻層333を含むコレクタと、P⁻層336, P層227を含むベースと、エミッタ338と、を有するNPNバイポーラトランジスタの断面が図10に示されている。そして、基板300の端部側には発熱体としての電気熱変換体が形成されている。電気熱変換体は発熱抵抗層318と、電極319と、を有しており、電極のない部分が発熱部321となる。

【0066】また、電気熱変換体を形成するためのその下地となる絶縁層316は平坦化されている。よって電極319とソース電極311とは間に選択堆積により形成されたタングステン(W)やアルミ(Al)からなるプラグ322を介して接続されている。さらに電極319の端子320は後述するリソグラフィ法によりテーパー状に加工されている。

【0067】因みに、317は保護層、313, 315は共に絶縁層であり、342はコレクタ電極、340はベース電極、341はエミッタ電極である。

【0068】スイッチング回路225のドレインを構成するN型半導体は、全nMOSトランジスタにおいて共通となっている。図11はその様子を説明するための模式的上面図であり、ドレイン電極312で囲まれた領域内に各MOSトランジスタのゲート電極310, ソース電極311が配されている。

【0069】同様にスイッチング回路224のコレクタを構成するN型半導体は全NPNバイポーラトランジスタにおいて共通の領域となっている。図12はその様子を説明するための模式的上面図であり、コレクタ電極342で囲まれた領域内にベース電極340, エミッタ電極341が設けられている。

13

【0070】そして、これらの各電極は図6に示すような回路構成となるべく配線により接続される。

【0071】次に、図10に示した半導体装置の製造方法について簡単に説明する。

【0072】用意したP型半導体ウェハの所定の領域にN型ドーパントを注入して埋込み層301、331を形成する。次いでN⁻型のエピタキシャル層303、333を形成した後、素子領域外の部分にP型ドーパントを拡散させてP層302を形成する。このP層302は素子分離領域となる。

【0073】次にN⁻エピタキシャル層303、333内にN型ドーパントを部分的に拡散し、N型のコンタクト層305、335を形成する。

【0074】そして、P型ドーパントを注入して、P層306、336を形成し、続いて熱処理を行う。その後、P層307とベース中のP層337を形成すべくP型ドーパントの注入を行い、次にソース領域308、309とエミッタ領域338、およびドレイン領域304、コレクタ用のN層334を形成すべくN型ドーパントを注入し、熱処理する。その後は、周知技術により電気熱変換体や各電極、絶縁層を形成する。

【0075】このような構成ではnMOSトランジスタとNPNトランジスタとを同一の製造工程で形成できるので、駆動系の周辺回路であるスイッチング回路223、224等を容易に一チップに集積化できる。

【0076】こうして得られた半導体装置は図10に示す構造のままサーマルヘッドとすることができ、図10の装置にインク液路やインク吐出口を形成するための部材を設けてインクジェットヘッドとすることができる。

【0077】次に、以上説明した本発明の半導体装置に用いられる素子分離構造について説明する。

【0078】図15は、本発明に用いられる素子分離構造の一例を示す縦断面図である。図15における構成要素の一部は、図13に示した従来の素子分離構造の構成要素と共通しており、その共通の構成要素には同一符号を付し、説明を簡略化する。図15において、P型基板101には所定間隔をもって凹部が形成され、これら凹部には半導体素子を形成するためのN⁻領域102および103が設けられている。N⁻エピ領域102および103の間のP型基板101には、別の凹部が形成され、この凹部には半導体素子を形成しないN⁻エピ領域108が形成されている。このN⁻エピ領域108と、N⁻エピ領域108を挟むP型基板101の上端部101aおよび101bとは配線金属104によって短絡されている。

【0079】このような素子分離構造において、上記N⁻エピ領域102および103にそれぞれ半導体素子を形成した例を図16に示す。図16における素子分離構造では、図13に示した素子分離構造と同様に、N⁻エピ領域102および103内に、それぞれエミッタとな

14

るN⁺領域105、ベースとなるP型領域106およびコレクタとなるN⁺領域107が形成されている。図17は図16に示した素子分離構造に形成される寄生トランジスタを示す等価回路である。ここで、N⁻エピ領域102および103に形成されるNPNトランジスタが飽和動作状態にある場合、N⁻エピ領域102および103の電位はNPNトランジスタの飽和電圧とほぼ等しい。また、NPNトランジスタのエミッタN⁺領域105は最低電位に接続されており、ベースP型領域106にはPN接合の順方向バイアス電位が発生している。この状態で、基板101に、PN接合の順方向電圧を生じさせるノイズが入ってきた場合、寄生NPNトランジスタのエミッタ領域は素子の存在しないN⁻領域であり、かつこの領域と基板101とは配線金属104によって短絡しているため、寄生NPNトランジスタのベースエミッタが短絡していることになり、寄生NPNトランジスタが動作不可能な状態であるため、ラッチアップを防止することができる。

【0080】本実施例に用いられる素子分離方法としては、図15ないし図17に示したPNショート型の他に、例えば以下に述べる埋込み型の素子分離方法を挙げることができる。

【0081】この点を改善した構成を図19、図20に示す。

【0082】なお、図19および図20にそれぞれ示す構成要素の一部は、図18に示した従来の素子分離構造の構成要素と共通しており、共通構成要素には同一符号を付し、その説明を簡略化する。

【0083】まず、図19に示す埋込み型の素子分離構造の形成方法の一例を説明する。図19の(a)および(b)に示すように、半導体基体121の表面上にドライエッチング等のバターニングにより開孔部121aを形成する。この開孔部121aのアスペクト比は0.1〜5.0程度とされる。次に、(c)に示すように、開孔部121aの内面を含む半導体基体121の表面上に、熱酸化法、CVD法、LP-CVD法、P-CVD法、バイアススパッタ法を用いてNSG、PSG、BPSG、熱酸化膜、SiN、P-SiN、BSQ等からなる第1絶縁膜122を50〜5000オングストロームの膜厚で形成する。次いで、(d)に示すように、第1絶縁膜122にエッチバック法等を用いて選択エッチングを施し、開孔部121aの側壁に形成された絶縁膜122のみを残す。あるいは、半導体基体121上および開孔部121aの側壁の第1絶縁膜122を残し、開孔部121aの底面の第1絶縁膜122のみをエッチングにより除去してもよい。次に、(e)に示すように、少なくとも底面を露出した開孔部121aの全体を覆うように、PSG、BPSG、SOG等からなる第2絶縁膜123を堆積させる。第2絶縁膜123の膜厚は、開孔部121aを完全に埋め込むことが可能な程度でよ

く、具体的には1000-20000オングストロームとされる。次に、開孔部121a内の第2絶縁膜123にP、B、As等の不純物を含有させる。次いで、N₂またはN₂/O₂雰囲気、温度摂氏600度-摂氏1200度で行う熱処理により、開孔部121aの表面近傍の凹凸を抑えて第2絶縁膜123の表面を滑らかにすると共に、第2絶縁膜123中の不純物を半導体基体121内に拡散させ開孔部121aの底面のみに不純物領域121bを形成する。この不純物領域121bは素子分離領域を挟んで電導型の異なる半導体装置または伝導率の異なる半導体装置を基体内に配置する際に電氣的に分離するための素子分離領域として用いられる。この不純物領域121bの不純物濃度は $1 \times 10^{14} - 1 \times 10^{20} \text{ cm}^{-3}$ とされる。次に、(f)に示すように、開孔部121a内のみに第2絶縁膜123を残すようにエッチバック法により第2絶縁膜123を除去する。

【0084】このような埋込み型の素子分離方法によれば、図18に示した従来の埋込み型の素子分離方法において生じていたバースピークの発生を防止することができ、これにより周辺に及ぼす結晶欠陥や素子分離領域の拡大または増大を防止することもできる。また、図19に示した素子分離方法では、素子分離領域の形成に、開孔部内の絶縁膜中への不純物拡散を用いているので、素子分離領域を自己整合的に形成でき、かつ分離領域および不純物層を同時形成できるので、半導体基体表面の平坦化を一層進めることができる。

【0085】次に、図20に示す埋込み型の素子分離方法の他の例を説明する。図20の(a)および(b)に示すように、半導体基体121の表面上にドライエッチング等のパターンニングにより開孔部121cを形成する。この開孔部121cのアスペクト比は0.1-5.0程度とされる。次に、(c)に示すように、開孔部121cの内面を含む半導体基体121の表面上に、常圧CVD法、LP-CVD法、P-CVD法等を用いてNSG、PSG、BPSG、SiN、P-SiN、P-SiO等からなる第1絶縁膜122を50-5000オングストロームの膜厚で形成する。次に、(e)に示すように、開孔部121cの全体を覆うように、NSG、PSG、BPSG、SiN、P-SiN、P-SiO等からなる第2絶縁膜123を開孔部121c全体を覆うように堆積する。第1絶縁膜122と第2絶縁膜123とは、同一または異なった材料から形成され得る。第2絶縁膜123の膜厚は、開孔部121aを完全に埋め込むことが可能な程度でよく、具体的には1000-2000オングストロームとされる。この後、必要に応じてN₂またはN₂/O₂雰囲気、温度摂氏600度-摂氏1200度の条件で熱処理を行うこともできる。次に、(e)に示すように、開孔部121c内のみに第2絶縁膜123を残すようにエッチバック法により第2絶縁膜123を除去する。開孔部121c内の第2絶縁膜

123は素子分離領域として用いることができる。

【0086】このような埋込み型の素子分離方法によっても、図18に示した埋込み型の素子分離方法において生じていたバースピークの発生を防止することができ、これにより周辺に及ぼす結晶欠陥や素子分離領域の拡大または増大を防止することもできる。また、従来のように、素子分離用熱酸化膜を形成する前段階として数種類の絶縁膜を堆積する必要がなく、開孔部を形成することによって素子分離絶縁膜を堆積させることができ、素子分離領域を簡単に形成することができる。

【0087】そこで、本発明では以下に述べる方法を採用し電気熱変換体を作製する。

【0088】次に、図10に示した本発明における電極形成に適用可能な電極形成方法について図24を参照しながら説明する。

【0089】図24に示す半導体装置の構成要素の一部は、図21に示した半導体装置の構成要素と共通しており、共通構成要素には同一符号を付し、その説明を簡略化する。

【0090】まず、図24の(a)に示すように、基板130上に配線電極材料としてのA1層131を形成した後、このA1層131上にマスク用フォトリソ膜132を塗布する。次に、ガラスフォトマスク133をフォトリソ膜132から40-100μm程度離間させた状態で、フォトリソ膜132のうち配線電極パターン以外の領域を露光する(広間隔露光)。この露光により、(a)において破線で示すように、ガラスフォトマスク133のパターンエッジ部の下方に回折光が生じる。ここでは、回折光の利用により、ガラスフォトマスク133の透過パターンより広い領域のフォトリソ膜132が露光される。この広間隔露光における露光エネルギーは、現像時にフォトリソ膜132を膜剥けするしきいエネルギー値(E_{th})の1/2倍程度とする。

【0091】次に、ガラスフォトマスク133をフォトリソ膜132に0-12μm程度に接触させるかあるいは近付けた状態で、フォトリソ膜132に対してガラスフォトマスク133の透過パターンの形状に忠実に露光する(近接露光)。この近接露光における露光エネルギー(E_{exp})は、上記しきいエネルギー値(E_{th})の1/2-1倍程度とする。

【0092】上記2段階の露光により、図24の(b)に示すように、フォトリソ膜132は3領域に明確に分布される。第1の領域は E_{th} 以上の露光エネルギーを受けた($E_{exp} \geq E_{th}$)領域132aである。第2の領域は E_{th} の0-1/2倍の露光エネルギーを受けた($0 < E_{exp} \leq 1/2 E_{th}$)領域132bである。第3の領域は全く露光エネルギーを受けなかった($E_{exp} = 0$)領域132cである。

【0093】次いで、フォトリソ膜132からガラス

フォトマスク133を離した後、フォトレジスト132を常温でアルカリ性溶液、例えばTMAH（テトラメチルアンモニウムハイドロキシド）を用いて現像することによって、図24の(c)に示すように、フォトレジスト132のパターンエッジ部をスロープ状あるいはテーパ状の形状とする。すなわち、この現像工程において、フォトレジスト132の第1の領域132aはアルカリ溶液により完全に溶解され、第2の領域132bはその表面が一部溶解され、第3の領域132cは溶解されず、ほぼそのままの形状で残ることにより、パターンエッジ部がテーパ状となる。

【0094】次に、このようにパターンエッジ部がテーパ状であるフォトレジスト132を、マスク材としてA1層131に対してウェットエッチングを行う。このエッチングには、先の現像時のアルカリ性溶液、例えばTMAHを用いることが好ましい。

【0095】上記TMAHの両性金属であるA1層に対するエッチング速度は、その液温に比例するが、フォトレジストに対するエッチング速度は、その液温に反比例する。すなわち、上記TMAHの液温を適当に調整することによってフォトレジスト132およびA1層131の双方に対するエッチングを同時並行して行い、A1層131のパターンエッジ部の縦断面形状をテーパ状に加工することが可能である。適当な液温に調製したTMAHにより、フォトレジスト132およびA1層131を同時処理することによってA1層131のエッチングを行いつつ、フォトレジスト132に対するエッチングも進行する。このフォトレジスト132に対するエッチングは、図24の(d)の矢印で示すように、フォトレジスト132の全体で同じ速度で進行するわけではない。

【0096】露光エネルギーを全く受けていない第3の領域132cに対するエッチング速度は、少しでも露光エネルギーを受けている第2の領域132bに対するエッチング速度に比べて当然に遅い。フォトレジスト132の第2の領域132bでは比較的早くエッチングが進行するが、この第2の領域132bから第3の領域132cに入ると急激にエッチング速度が遅くなり、第3の領域132cにおけるフォトレジストの後退は他の部分と比べて相対的に停止した状態となる。このようにして進行するエッチングにより、フォトレジスト132の第2の領域132bが存在していた部分の下側のA1層131のパターンエッジ部は、テーパ状に制御性よく形成される。

【0097】このようなテーパ状のパターンエッジ部を有するA1層を、例えば配線や電極として用いた発熱体を有するインクジェット記録ヘッドやサーマルヘッド等の機能デバイスでは、A1層のテーパ状パターンエッジ部の存在により、A1層から発熱体への電流の流れがエッジ部の下方に集中することがなく、従来生じていた電流密度の集中による発熱抵抗体の一部切断を招くことも

なく、長寿命化を図ることが可能である。すなわち、このような機能デバイスは耐久性に優れ、かつ高性能化を図ることができる。

【0098】以上説明したように、本発明の実施例12によれば、MOSトランジスタにおける電界集中を緩和し耐圧を上げることができる。

【0099】また、PNショート型の素子分離構造においてラッチアップを確実に防止することができる。

【0100】さらに、埋込み型の素子分離構造においてパースピークの発生を確実に防止することができる。

【0101】またさらに、電気熱変換デバイスにおいて、金属層のエッジ部の下方での電流密度の集中を抑制して発熱抵抗体の一部切断を防止でき、電気熱変換デバイスの長寿命化を図ることができる。

【0102】図25ないし図26は、本発明が実施もしくは適用される好適な発熱体HGインクジェットヘッドIJC、インクジェット記録装置本体IJRA、キャリアッジHCのそれぞれおよびそれぞれの関係を説明するための説明図である。以下これらの図面を用いて各部構成の説明を行う。

【0103】本例でのインクジェットヘッドIJCは、インクタンクITを一体的に有する。カートリッジタイプであり、インクタンクITの前方面よりもわずかに先端部が突出した形状である。このインクジェットヘッドIJCは、インクジェット記録装置本体IJRAに載置されているキャリアッジHC（図16）の位置決め手段および電気的接点とによって固定支持されると共に、該キャリアッジHCに対して着脱可能な交換可能タイプである。

【0104】1) インクジェットヘッドIJC構成説明
インクジェットヘッドIJCは、電気信号に応じて膜沸騰をインクに対して生じせしめるための熱エネルギーを生成する電気熱変換体を用いて記録を行う、熱エネルギーを用いるインクジェット方式のヘッドである。

【0105】図10に示したような半導体装置HGは図25に示すようにインクタンクITやインク吐出口IDを形成するための本体に装着されている。

【0106】図26は本発明が適用されるインクジェット記録装置IJRAの概観図で、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5011、5009を介して回転するリードスクリュー5005のらせん溝5004に対して係合するキャリアッジHCはピン（不図示）を有し、矢印a、b方向に往復移動される。5002は紙押え板であり、キャリアッジ移動方向にわたって紙をプラテン5000に対して押圧する。5007、5008はフォトカブラでキャリアッジのレバー5006のこの域での存在を確認してモータ5013の回転方向切換等を行うためのホームポジション検知手段である。5016は記録ヘッドの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を

吸引する吸引手段でキャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらは支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることはいうまでもない。また、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切換等の公知の伝達手段で移動制御される。

【0107】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側領域にきたときにリードスクリュウ5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の作動を行うようにすれば、本例には何れも適用できる。上述における各構成は単独でも複合的に見ても優れた発明であり、本発明にとって好ましい構成例を示している。

【0108】

【発明の効果】以上説明したように、本発明の半導体装置は、Nエピ層によりソース・ドレイン間の電界強度を弱めることができるので、耐圧性に優れた信頼性の高いものとなる。また、寄生トランジスタを動作不可能な構造であるので、ラッチアップを確実に防止することができる。

【図面の簡単な説明】

【図1】複数のダイオードスイッチ回路を用いた従来のインクジェット記録ヘッドのマトリクススイッチング回路を示す回路図である。

【図2】複数のトランジスタスイッチ回路を用いた従来のインクジェット記録ヘッドのマトリクススイッチング回路を示す回路図である。

【図3】図2に示したマトリクススイッチング回路の1ビット分の等価回路を示す回路図である。

【図4】本発明の半導体装置の一実施例の模式的断面図である。

【図5】図4に示したnMOSトランジスタを用いて構成したスイッチング回路を示す回路図である。

【図6】図4に示したnMOSスイッチング回路をマトリクス状に配置してインクジェット記録ヘッド駆動用のマトリクススイッチング回路を示す回路図である。

【図7】本発明半導体装置の別の実施例のブロック図である。

【図8】図7に示した半導体装置のセグメント側スイッチング回路の2つの例を示す回路図である。

【図9】図7に示した半導体装置のコモン側スイッチング回路の2つの例を示す回路図である。

【図10】本発明の半導体装置の一例を示す模式的断面図である。

【図11】本発明に用いられるMOSトランジスタの配

置を説明するための模式的上面図である。

【図12】本発明に用いられるバイポーラトランジスタの配置を説明するための模式的上面図である。

【図13】半導体装置における素子分離構造を説明するための模式的断面図である。

【図14】図13に示した素子分離構造に形成される寄生トランジスタの等価回路を示す回路図である。

【図15】本発明に用いられる素子分離構造の一例を示す縦断面図である。

10 【図16】図15に示した素子分離構造のN⁻エピ領域に半導体素子を形成した素子分離構造を示す縦断面図である。

【図17】図16に示した素子分離構造に形成される寄生トランジスタを示す等価回路である。

【図18】従来の半導体集積回路における素子分離構造の形成工程を時系列に説明するための模式的断面図である。

【図19】本発明に用いられる埋込み型の素子分離構造の形成工程の一例を時系列的に説明するための断面図である。

20 【図20】本発明に用いられる埋込み型の素子分離構造の形成工程の他の例を時系列的に説明するための断面図である。

【図21】アルミニウムの微細加工技術を用いた配線電極形成工程を時系列的に説明するための断面図である。

【図22】図21に示した配線電極形成工程により形成された電気熱変換デバイスの構成を示す縦断面図である。

30 【図23】図21の配線電極形成方法により形成した電気熱変換デバイスにおけるステップカバレッジを説明するための一部破断した概略斜視図である。

【図24】本発明に用いられる電極形成に適用可能な電極形成工程の一例を時系列的に説明するための縦断面図である。

【図25】本発明が用いられるインクジェットヘッドの模式図である。

【図26】本発明が用いられるインクジェットプリンタの模式図である。

【符号の説明】

101 P型基板

102, 103 半導体素子が形成されるべきN⁻領域

104 配線金属

105 エミッタとなるべきN⁺領域

106 ベースとなるべきP型領域

107 コレクタとなるべきN⁺領域

121 半導体基体

121a 開孔部

121b 不純物領域

121c 開孔部

50 122, 123 絶縁膜

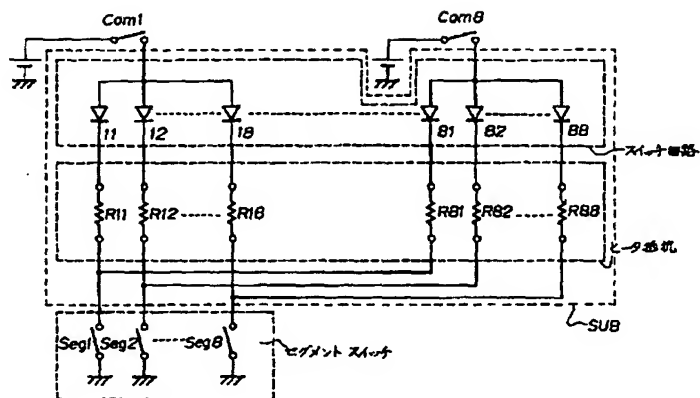
21

124 開孔部
 125 素子分離領域
 126, 127 パーズピーク
 131 配線電極材料としてのA1層
 132 マスク用フォトリソ膜
 132a 第1の領域
 132b 第2の領域
 132c 第3の領域
 133 ガラスフォトマスク
 140 基板
 141 発熱抵抗層
 142 発熱部
 143 A1の配線電極
 144 配線電極のエッジ部
 150 基板
 151 第1配線電極
 152 保護膜
 153 第2配線電極
 154 第1配線電極のエッジ部
 155 第2配線電極のエッジ部
 200 基板
 201 N埋込み層
 202 エピタキシャル層
 203 Nエピ層
 204 N型ドレイン
 205 コンタクト層
 206 P⁻層
 207 P型ゲート
 208 N型ソース
 209 N型ドレイン
 210 絶縁ゲート電極
 211 ドレイン電極
 212 ソース電極
 213, 214, 215 絶縁層

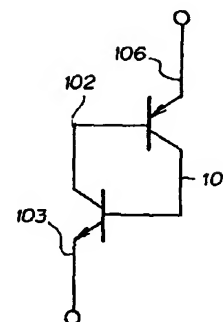
22

220, 221, 222 端子
 223 セグメント線用スイッチング回路
 224 共通線用スイッチング回路
 225 発熱体用スイッチング回路
 226 発熱体
 227 セグメント線
 229 ブロック共通線
 300 基板
 301 埋込み層
 10 303 N⁻層
 304 ドレイン
 305 nコンタクト層
 306 P⁻層
 307 チャンネルコンタクト
 308 ソース
 310 ゲート電極
 311 ソース電極
 312 ドレイン電極
 313, 315, 316 絶縁層
 20 317 保護層
 318 発熱抵抗層
 319 電極
 320 端子
 322 プラグ
 331 埋込み層
 333 N⁻層
 334 N層
 335 コンタクト層
 336 P⁻層
 30 338 エミッタ
 340 ベース電極
 341 エミッタ電極
 342 コレクタ電極

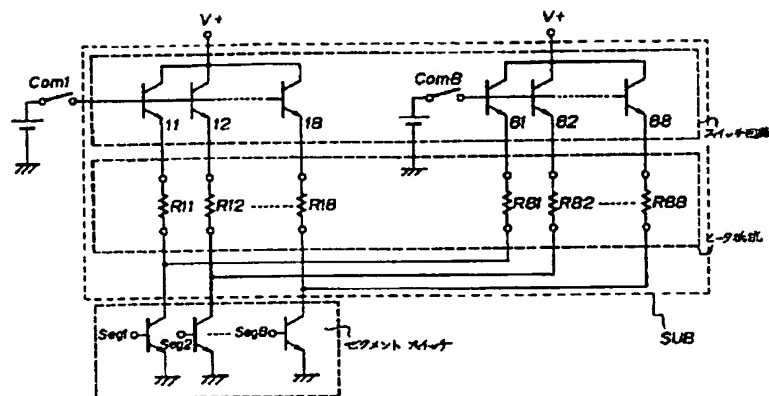
【図1】



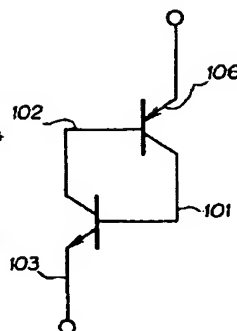
【図14】



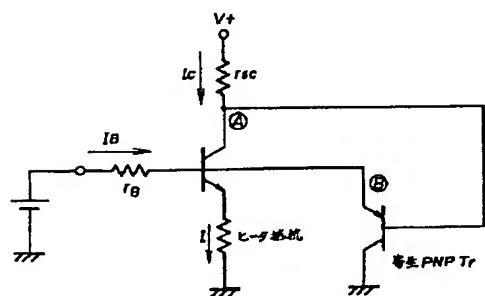
【図2】



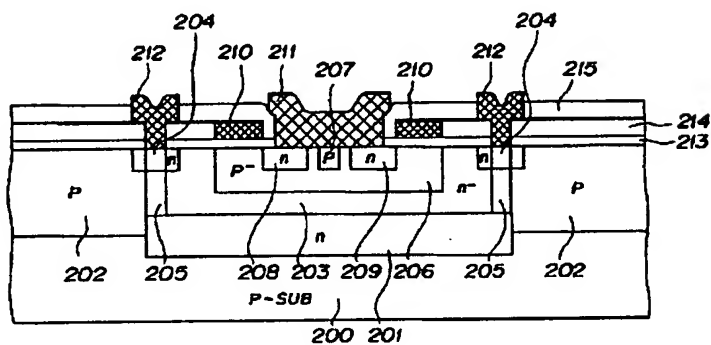
【図17】



【図3】

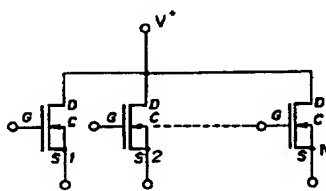


【図4】

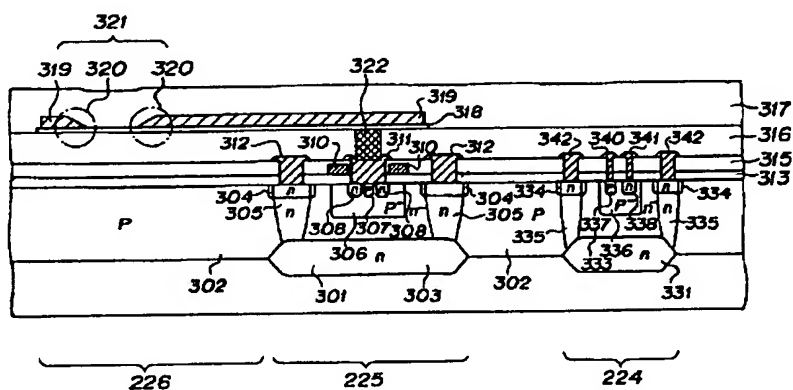


【図5】

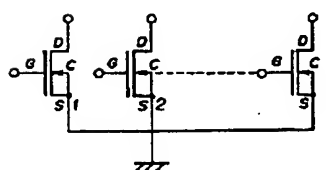
(a)



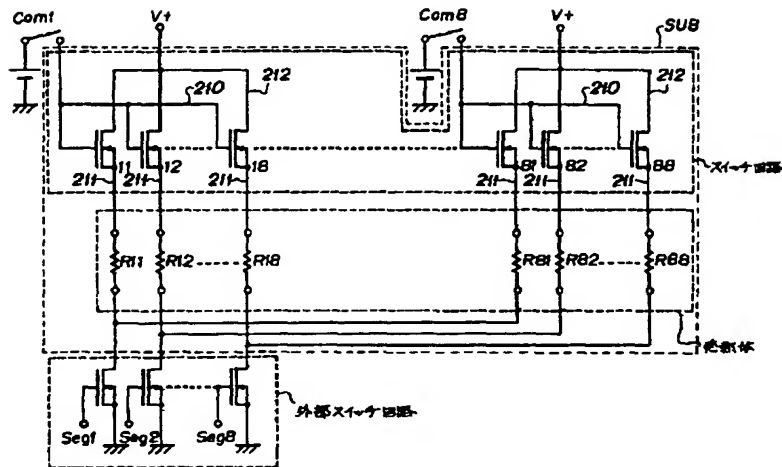
【図10】



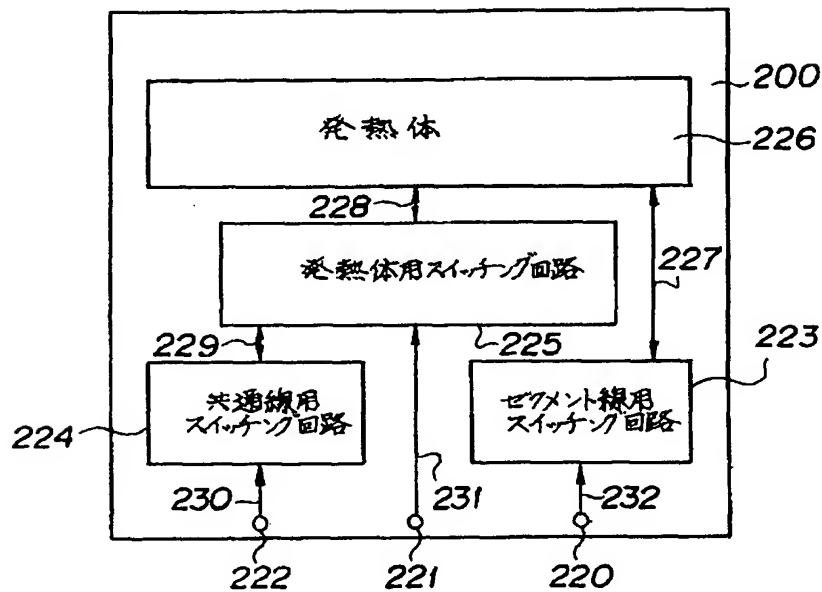
(b)



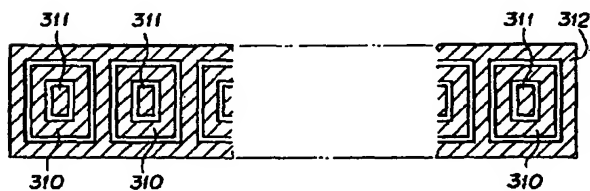
【図6】



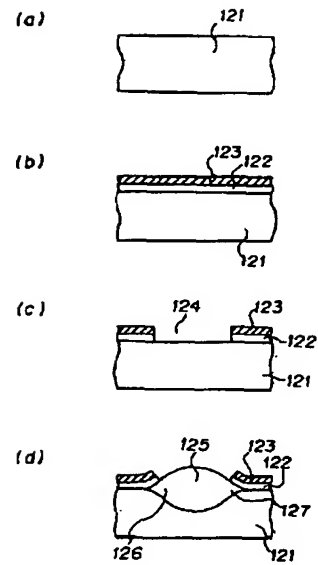
【図7】



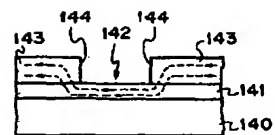
【図11】



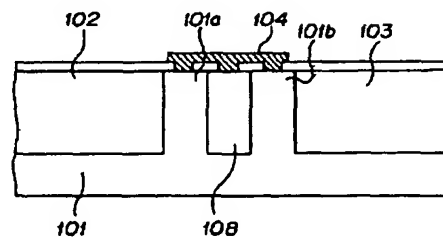
【図18】



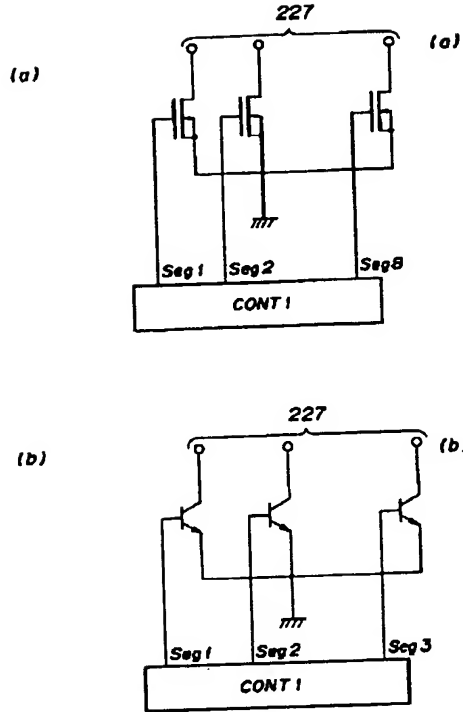
【図22】



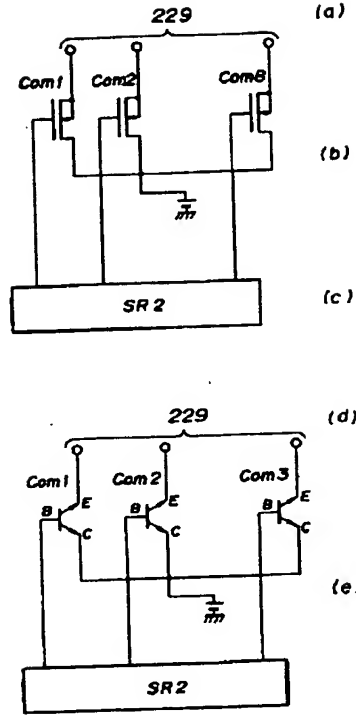
【図15】



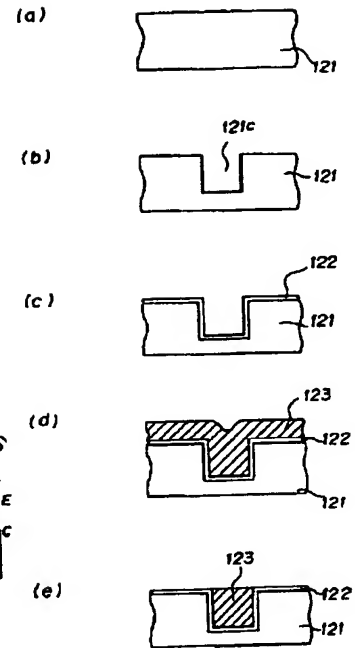
【図8】



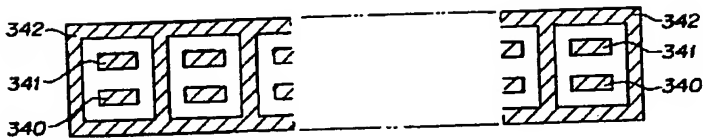
【図9】



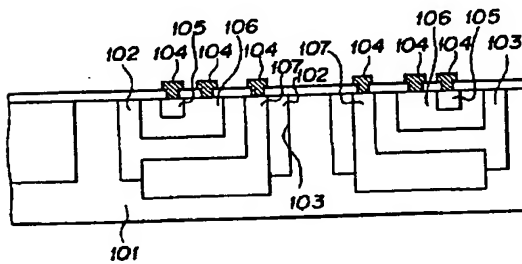
【図20】



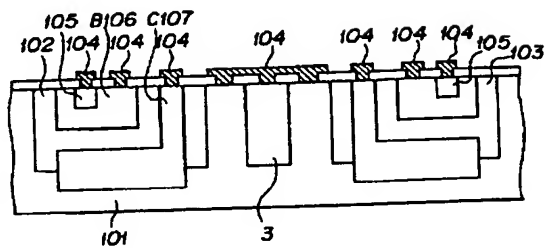
【図12】



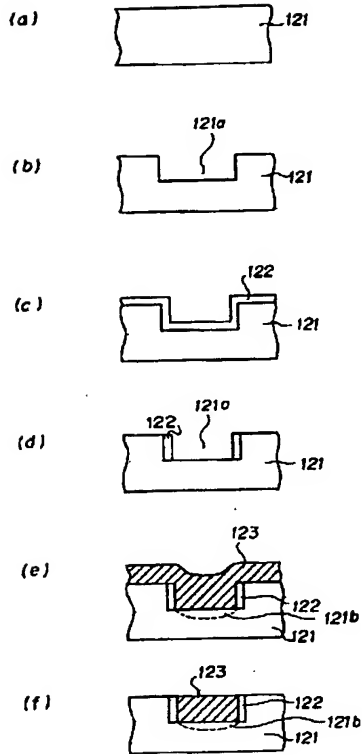
【図13】



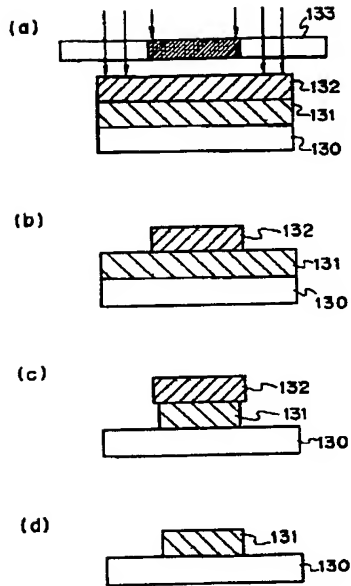
【図16】



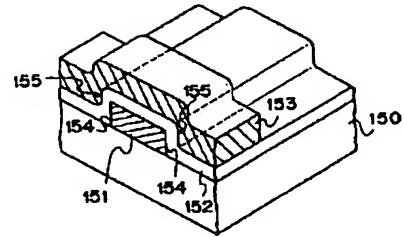
【図19】



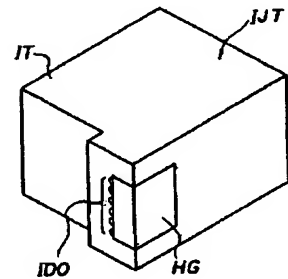
【図21】



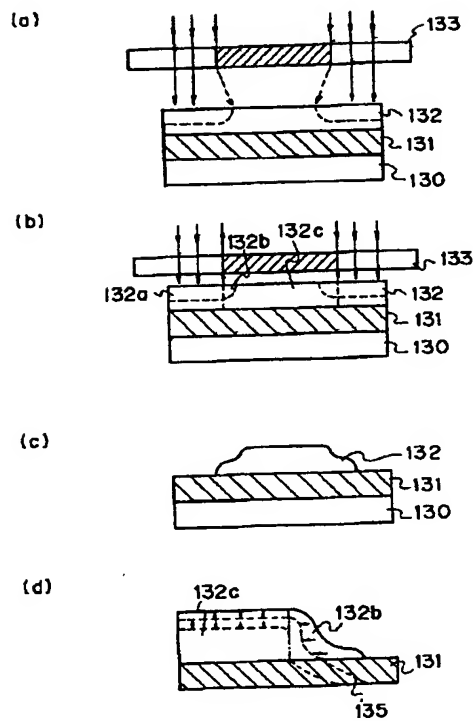
【図23】



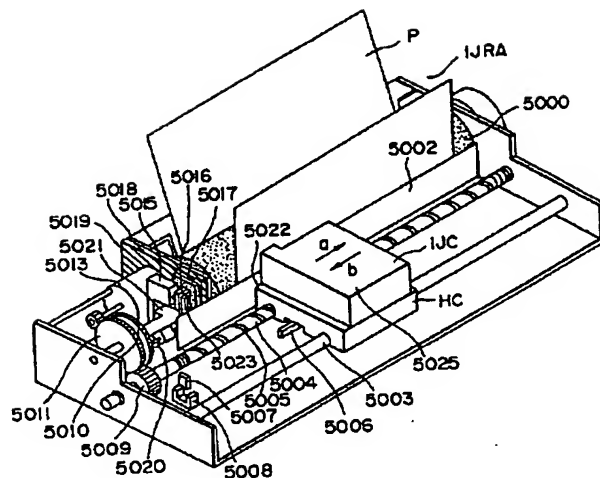
【図25】



【図24】



【図26】



フロントページの続き

(51) Int. Cl.⁵

// B 4 1 J 2/05

H 0 1 L 49/02

識別記号

庁内整理番号

F I

技術表示箇所

Z 8728-4M
9012-2C

B 4 1 J 3/04

1 0 3 B

(72)発明者 亀井 誠司

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 中村 博之

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内